

na

PCT/DE 00/01010

BUNDESREPUBLIK DEUTSCHLAND

DE 00/1610



4

#

REC'D 10 AUG 2000
WIPO PCT

09/980974

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Aktenzeichen:

199 23 517.1

Anmeldetag:

21. Mai 1999

Anmelder/Inhaber:

Siemens Aktiengesellschaft,
München/DE

Bezeichnung:

Verfahren und Vorrichtung zum Verzweigen
bei der Abarbeitung eines Programms durch
einen Prozessor

IPC:

G 06 F 9/32

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Anmeldung.

München, den 23. Juni 2000
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Hoß

This Page Blank (uspto)



199 23517.1 vom 2. 99

1

Beschreibung

Verfahren und Vorrichtung zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor

5

Die Erfindung betrifft ein Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor nach Patentanspruch 1 und eine Vorrichtung zur Durchführung des Verfahrens nach Patentanspruch 4.

10

Befehle zum Verzweigen bei der Programmabarbeitung durch einen Prozessor - auch als Sprungbefehle bezeichnet - werden in indirekte und direkte Sprungbefehle eingeteilt.

15

Indirekte Sprungbefehle berechnen dabei die Zieladresse der Programmverzweigung bzw. des Sprunges indirekt über den Inhalt eines sogenannten Indexregisters. Der Wert, der in dem Indexregister gespeichert ist, ist während der Programmabarbeitung veränderbar, so daß das Sprungziel innerhalb bestimmter Bereiche programmierbar ist. Nachteilig ist dabei jedoch, daß indirekte Sprungbefehle einstufig abgearbeitet werden

20

(eine Stufe zur Berechnung des Sprung- bzw. Verzweigungsziels) und der Sprung bzw. die Verzweigung nur aufwendig mittels einer Vielzahl von Befehlen zweistufig ausgeführt werden kann. Der Vorteil der Zweistufigkeit liegt in der leichten Umprogrammierbarkeit und Anpassbarkeit von Sprung- bzw. Verzweigungszielen während der Bearbeitung des Sprunges.

25

30

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor und eine entsprechende Vorrichtung zur Durchführung des Verfahrens zu schaffen, das eine zweistufige Programmverzweigung mittels einer veränderbaren indirekten Adressierung ermöglicht.

35

Diese Aufgabe wird durch ein Verfahren mit den Merkmalen des Anspruchs 1 und durch eine Vorrichtung mit den Merkmalen des

Anspruchs 4 gelöst. Bevorzugte Ausführungsformen der Erfindung sind Gegenstand der Unteransprüche.

Erfindungsgemäß weist ein Verfahren zum Verzweigen bei der
5 Abarbeitung eines Programms durch einen Prozessor, wobei das
Programm in einem Programmspeicher abgelegt ist und ein Variablenspeicher und ein Tabellenspeicher vorgesehen sind, die
folgenden Schritte auf:

- 10 a) Adressieren einer ersten Speicherzelle des Variablenspeichers,
- b) Adressieren einer zweiten Speicherzelle des Variablenspeichers abhängig vom Inhalt der in Schritt a) adressierten ersten Speicherzelle und weiteren Parametern,
- c) Adressieren einer Speicherzelle des Tabellenspeichers
15 abhängig vom Inhalt der in Schritt b) adressierten zweiten Speicherzelle, und
- d) Verzweigen zu einer Adresse des Programms, die in der in Schritt c) adressierten Speicherzelle des Tabellenspeichers abgelegt ist.

20 Vorteilhafterweise kann durch die zweistufige Verzweigung (erste Stufe: Schritt a) und b), zweite Stufe: Schritt c)) eine variable indirekte Adressierung des Sprung- bzw. Verzweigungsziels erfolgen. Dabei kann die variable indirekte
25 Adressierung durch weitere Parameter in Schritt b) beeinflusst werden.

Bevorzugt wird in Schritt b) die zweite Speicherzelle des Variablenspeichers von dem Ergebnis eines Befehls, der den Inhalt der ersten Speicherzelle des Variablenspeichers und die
30 weiteren Parameter verarbeitet, adressiert.

Ferner erfolgt das Adressieren des Variablenspeichers mit einer ersten Bitbreite a und das Adressieren des Tabellenspeichers mit einer zweiten Bitbreite b, wobei die erste Bitbreite a und zweite Bitbreite b unterschiedlich groß sein
35 können.

Ferner betrifft die Erfindung eine Vorrichtung zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor, wobei das Programm in einem Programmspeicher, der über einen ersten bidirektionalen Bus mit dem Prozessor verbunden ist, abgelegt ist. Weiterhin ist eine Adressiereinheit, die erste Adressen über einen ersten Bus von dem Prozessor empfängt und die ersten Adressen in zweite Adressen umwandelt und damit über einen zweiten Bus einen Variablenspeicher, der über einen dritten Bus von dem Prozessor auslesbar ist, adressiert und ein Tabellenspeicher, der über einen zweiten bidirektionalen Bus mit dem Prozessor verbunden, vorgesehen.

Bevorzugt ist eine Einrichtung, die über einen vierten Bus Daten von dem Variablenspeicher und über einen fünften Bus Daten von dem Prozessor empfängt und aus den empfangenen Daten eine Adresse zur Adressierung des Variablenspeichers über einen sechsten Bus berechnet, vorgesehen.

Ferner handelt es sich bei dem Variablenspeicher um einen Schreib-/Lese-Speicher und der Tabellenspeicher ist vorzugsweise als ein Schreib-/Lese-Speicher ausgelegt. Der Prozessor ist bevorzugt als I/O-Prozessor zur Protokollverarbeitung ausgeführt.

Bevorzugte Ausführungsformen der Erfindung werden nachfolgend anhand der Zeichnungen erläutert. In der Zeichnung zeigt

Figur 1 ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens, und

Figur 2 ein Ausführungsbeispiel der erfindungsgemäßen Vorrichtung zur Durchführung des Verfahrens.

In Figur 1 ist das erfindungsgemäße Verfahren an Hand eines Programmspeichers 5, eines Variablenspeichers 6 und eines Tabellenspeichers 7 schematisch dargestellt. Unter einem Pro-

grammspeicher wird dabei ein Speicher, in dem ein Programm
abgelegt ist, das von einem Prozessor verarbeitet wird, ver-
standen. Ein Variablenspeicher dient zum Ablegen von verän-
derbaren Werten. In einem Tabellenspeicher sollen Festwerte
5 abgelegt sein.

In dem Programmspeicher 5 ist ein Programm abgelegt, das von
einem Prozessor abgearbeitet wird und einen Sprungbefehl, der
als BRI-Befehl (Branch-Indexed-Befehl) gekennzeichnet ist,
10 aufweist. Der BRI-Befehl, der im Programmspeicher 5 an der
Adresse x abgelegt ist, soll beispielsweise einen Sprung-
bzw. eine Verzweigung des Programms an die Speicherstelle mit
der Adresse $x + y$ des Programmspeichers 5 ausführen. Der dazu
erforderliche Sprung 8 ist gestrichelt dargestellt.

15 Zur Ausführung dieser Verzweigung adressiert der BRI-Befehl
eine Speicherzelle, die als Register 12 gekennzeichnet ist,
in einem Variablenspeicher 6. Die Adressierung erfolgt dabei
über ein erstes Adressierungssignal 1, das eine Bitbreite von
20 a Bits aufweist.

In dem Register 12 des Variablenspeichers 6 ist die Adresse
einer weiteren Speicherzelle, die als Register 13 bezeichnet
ist, des Variablenspeichers 6 abgelegt. Diese Adresse kann
25 von einer Einheit 10, die weitere Parameter 11 erhält, verän-
dert werden, dargestellt durch den Sprung 2.

Die Einheit 10 adressiert dann das Register 13 des Varia-
blenspeichers 6. In der zweiten Speicherzelle bzw. dem Regi-
30 ster 13 ist wiederum eine Adresse abgelegt, die zur Adressie-
rung eines Tabellenspeichers 7 dient.

In dem Tabellenspeicher 7 sind verschiedene Werte für einen
Programmzähler, der den Programmspeicher 5 adressiert, abge-
35 legt. Die in dem Register 13 des Variablenspeichers 6 abge-
legte Adresse des Tabellenspeichers 7 weist eine Bitbreite
von b Bits auf. Zum Adressieren des Tabellenspeichers wird

der Inhalt des Registers 13 des Variablenspeichers 6 als zweites Adreßsignal 3 an den Tabellenspeicher 7 geführt. Die in dem Tabellenspeicher 7 adressierte Speicherzelle wird dann ausgelesen und in den Programmzähler des Prozessors geladen.

5

Der dann in dem Programmzähler stehende neue Programmzählerwert 14 adressiert nun (drittes Adressierungssignal 4 der Breite c Bits) die Speicherzelle mit der Adresse $x + y$ des Programmspeichers, die das Verzweigungsziel 15 der Verzweigung bzw. des Sprunges im Programm angibt.

10

Durch die zweistufige Ausführung des Verfahrens - erste Stufe: Adressieren des Variablenspeichers 6, zweite Stufe: Adressieren des Tabellenspeichers 7 - kann ein indirekter Verzweigungsbefehl, der auf dem erfindungsgemäßen Verfahren basiert, sehr flexibel auf unterschiedliche Anforderungen eingestellt werden.

15

Durch die zusätzliche Möglichkeit der Beeinflussung bzw. Veränderung durch die Einheit 10 der Adressierung des Registers 13 des Variablenspeichers kann das Sprung- bzw. Verzweigungsziel während der Abarbeitung des BRI-Befehls verändert werden.

20

Ein Prozessor, der den BRI-Befehl bearbeitet, kann beispielsweise durch einen zu verarbeitenden Datenstrom zur Änderung des Verzweigungs- bzw. Sprungziels veranlaßt werden. Durch die Parameter 11 kann der Prozessor nun die Einheit 10 so steuern, daß eine andere Speicherzelle bzw. ein anderes Register des Variablenspeichers 6 anstelle des ursprünglich durch den BRI-Befehl vorgesehenen Registers 13 des Variablenspeichers 6 adressieren. Damit kann das Sprung- bzw. Verzweigungsziel des BRI-Befehls noch während der Abarbeitung der ersten Stufe des Befehls geändert werden.

25

30

35

Ferner besteht die Möglichkeit, den Inhalt des Variablenspeichers 6 durch den Prozessor oder durch andere Einrich-

tungen mittels Umprogrammierung 9 zu verändern. Dadurch können die Sprung- bzw. die Verzweigungsziele der BRI-Befehle verändert werden. Somit kann auf weitere Veränderungen des Programmablaufes bzw. der Programmabarbeitung flexibel reagiert werden.

In Figur 2 ist eine Vorrichtung zur Durchführung des erfindungsgemäßen Verfahrens dargestellt. Elemente, die bereits in Figur 1 dargestellt sind, sind mit den gleichen Bezugszeichen wie in Figur 1 gekennzeichnet.

Ein Prozessor 100, der einen Programmzähler PC aufweist, ist über Busse 111 und 112 mit weiteren Einrichtungen verbindbar

Der Prozessor 100 adressiert über den Programmzähler PC einen Programmspeicher 5, der über einen bidirektionalen Bus 103 mit dem Prozessor verbunden ist.

Trifft der Prozessor 100 bei der Abarbeitung eines Programms aus dem Programmspeicher auf einen BRI-Befehl zur Programmverzweigung, so adressiert der Prozessor 100 einen Variablenspeicher 6 über eine Adressiereinheit 101. Der Variablenspeicher 6 enthält wiederum Adressen zum Adressieren eines Tabellenspeichers 7.

Die Adressiereinheit 101 empfängt dazu über einen unidirektionalen Bus 104 Adressen von dem Prozessor 100. Die Adressiereinheit 101 wandelt diese Adressen in Adressen zum Adressieren des Variablenspeichers 6, die über einen unidirektionalen Bus 105 von der Adressiereinheit 101 an den Variablenspeicher 6 übertragen werden. Im Variablenspeicher 6 wird dadurch eine Speicherzelle adressiert, die die Adresse einer weiteren Speicherzelle des Variablenspeichers 6 enthält.

Der Inhalt der Speicherzelle des Variablenspeicher 6 wird über einen unidirektionalen Bus 106 einer Einheit zur Adreß-

berechnung 102 zugeführt.

Die Einheit zur Adreßberechnung 102 empfängt von dem Prozessor 100 weitere Daten über einen unidirektionalen Bus 108 und berechnet aus dem Inhalt der Speicherzelle des Variablenspeichers 6 und den Daten vom Prozessor eine Adresse zum Adressieren der weiteren Speicherzelle des Variablenspeichers. Diese Adresse wird von der Einheit zur Adreßberechnung 102 an den Variablenspeicher 6 über einen unidirektionalen Bus 107 übermittelt.

Durch diese indirekte Berechnung einer Adresse des Tabellenspeichers, der wiederum die Adressen der Sprungziele enthält, ergibt sich die Möglichkeit zur Veränderung der Sprungziele in Abhängigkeit von Daten, die der Prozessor 100 an die Einheit zur Adreßberechnung 102 sendet.

Der Inhalt der nun adressierten zweiten Speicherzelle des Variablenspeichers 6 wird über einen unidirektionalen Bus 109 vom Prozessor ausgelesen.

Der Prozessor adressiert daraufhin mittels dieser Adresse den Tabellenspeicher 7, der über einen bidirektionalen Bus 110 mit dem Prozessor verbunden ist. Der Inhalt der adressierten Speicherzelle des Tabellenspeichers 7 wird vom Prozessor über den bidirektionalen Bus 110 ausgelesen und in den Programmzähler PC geschrieben.

Der Programmzähler PC adressiert wiederum über den bidirektionalen Bus 103 den Programmspeicher an dem vorgesehenen Sprung- bzw. Verzweigungsziel.

Der Variablenspeicher 6 ist zusätzlich über einen bidirektionalen Bus 113 durch den Prozessor umprogrammierbar. Dadurch können die in dem Variablenspeicher abgelegten Adressen zur Adressierung des Tabellenspeichers 7 umprogrammiert werden.

Ferner ist der Tabellenspeicher 7 über den bidirektionalen Bus 110 durch den Prozessor umprogrammierbar. Hierdurch eröffnet sich eine weitere Möglichkeit der Umprogrammierung
5 aller Verzweigungen bzw. Sprungziele der BRI-Befehle.

Anwendung findet die Erfindung insbesondere bei besonderen Prozessoren zur Protokollverarbeitung von Telekommunikationsprotokollen wie beispielsweise ISDN.

Patentansprüche

1. Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor, wobei das Programm in einem Programmspeicher (5) abgelegt ist und ein Variablenspeicher (6) und ein Tabellenspeicher (7) vorgesehen sind, gekennzeichnet durch die folgenden Schritte:
- a) Adressieren (1) einer ersten Speicherzelle (12) des Variablenspeichers (6),
 - b) Adressieren (2) einer zweiten Speicherzelle (13) des Variablenspeichers abhängig vom Inhalt der in Schritt a) adressierten ersten Speicherzelle (12) und weiteren Parametern (11),
 - c) Adressieren (3) einer Speicherzelle (14) des Tabellenspeichers (7) abhängig vom Inhalt der in Schritt b) adressierten zweiten Speicherzelle (13), und
 - d) Verzweigen zu einer Adresse des Programms (15), die in der in Schritt c) adressierten Speicherzelle (14) des Tabellenspeichers (7) abgelegt ist.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß in Schritt b) die zweite Speicherzelle (13) des Variablenspeichers (6) von dem Ergebnis eines Befehls (10), der den Inhalt der ersten Speicherzelle (12) des Variablenspeichers (6) und weitere Parameter (11) verarbeitet, adressiert wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Adressieren (1) des Variablenspeichers (6) mit einer ersten Bitbreite a und das Adressieren (3) des Tabellenspeichers (7) mit einer zweiten Bitbreite b erfolgt, wobei die erste a und zweite b Bitbreite unterschiedlich groß sind.
4. Vorrichtung zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor (100), wobei das Programm in

einem Programmspeicher (5), der über einen bidirektionalen Bus (103) mit dem Prozessor (100) verbunden ist, abgelegt ist und wobei eine Adressiereinheit (101), die erste Adressen über einen Bus (104) von dem Prozessor (100) empfängt und die
5 ersten Adressen in zweite Adressen umwandelt und damit über einen über einen Bus (105) einen Variablenspeicher (6), der über einen Bus (109) von dem Prozessor (100) auslesbar ist, adressiert und wobei ein Tabellenspeicher (7), der über einen bidirektionalen Bus (110) mit dem Prozessor (100) verbunden
10 ist, vorgesehen ist.

5. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß eine Einrichtung (102), die über einen Bus (106) Daten von dem Variablenspeicher (6) und über einen Bus
15 (108) Daten von dem Prozessor (100) empfängt und aus den empfangenen Daten eine Adresse zur Adressierung des Variablenspeichers (6) über einen Bus (107) berechnet, vorgesehen ist.

6. Vorrichtung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß der Variablenspeicher (5) ein Schreib-/Lese-Speicher ist.
20

7. Vorrichtung nach Anspruch 4, 5 oder 6, dadurch gekennzeichnet, daß der Tabellenspeicher (7) ein Schreib-/Lese-Speicher ist.
25

8. Vorrichtung nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß der Prozessor (100) als I/O-Prozessor zur Protokollverarbeitung ausgeführt ist.
30

Zusammenfassung

Verfahren und Vorrichtung zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor

5

Ein Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor, wobei das Programm in einem Programmspeicher abgelegt ist und ein Variablenspeicher und ein Tabellenspeicher vorgesehen sind, enthält die folgenden

10 Schritte:

a) Adressieren einer ersten Speicherzelle des Variablenspeichers,

b) Adressieren einer zweiten Speicherzelle des Variablenspeichers abhängig vom Inhalt der in Schritt a) adressierten ersten Speicherzelle und weiteren Parametern,

15

c) Adressieren einer Speicherzelle des Tabellenspeichers abhängig vom Inhalt der in Schritt b) adressierten zweiten Speicherzelle, und

d) Verzweigen zu einer Adresse des Programms, die in der in Schritt c) adressierten Speicherzelle des Tabellenspeichers abgelegt ist.

20

[Fig. 1]

Bezugszeichenliste

1	Adressierungssignal
2	Adressierungssignal
3	Adressierungssignal
4	Adressierungssignal
5	Programmspeicher
6	Variablenspeicher
7	Tabellenspeicher
8	Sprung
9	Umprogrammierung
10	Einheit
11	Parameter
12	Register
13	Register
14	Programmzählerwert
15	Verzweigungsziel
100	Prozessor
101	Adressiereinheit
102	Adressberechnung
103	Bus
104	Bus
105	Bus
106	Bus
107	Bus
108	Bus
109	Bus
110	Bus
111	Bus
112	Bus

FIG 1

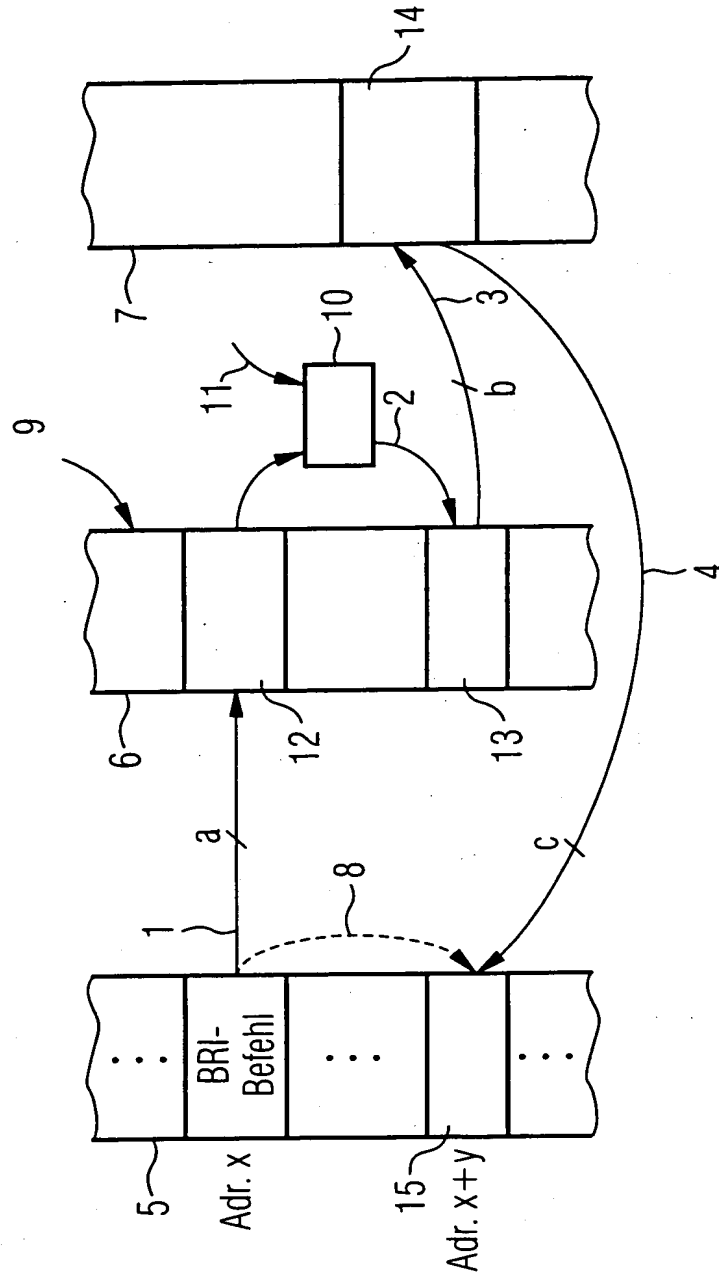


FIG 2

